

PAT-NO: JP408050643A

DOCUMENT-IDENTIFIER: JP 08050643 A

TITLE: STORAGE DEVICE

PUBN-DATE: February 20, 1996

INVENTOR-INFORMATION:

NAME

SHODA, TOMOKO

YOSHIDA, HIROHIKO

OOKUBO, CHIKAO

KISHI, MASAMICHI

KADOWAKI, SHIGERU

KASE, KATSUMOTO

KIKUCHI, TAKASHI

FUKUDA, HIROSHI

KATAYAMA, KUNIHIRO

KANNO, TOSHIO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI LTD

N/A

HITACHI VLSI ENG CORP

N/A

APPL-NO: JP06201491

APPL-DATE: August 3, 1994

INT-CL (IPC): G06K019/07, G06F001/32 , G11C016/06 , H01L027/115

ABSTRACT:

PURPOSE: To realize the storage device such as a flash I/O card, etc., where average power consumption is reduced, to reduce the average power consumption

of a personal computer, etc., including the flash I/O card and to lengthen the life of a battery to be an operating power source.

CONSTITUTION: A storage means such as a flash I/O card, etc., to be coupled with the hard disk interface of a personal computer which is possible to operate by a battery is composed by a flash memory file FMF which is selectively made into a deep power down mode by making an internal signal PDB into a low level. The control means is composed of a microcomputer MC which is selectively made into a standby mode by making an internal signal STBB into the low level. The flash I/O card is made to have a function which autonomously becomes a low power consumption mode by asserting the internal signals PDB and STBB when the access from a system side does not exist for more than prescribed time.

COPYRIGHT: (C)1996,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-50643

(43)公開日 平成8年(1996)2月20日

(51)Int.Cl.⁸

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 K 19/07

G 0 6 F 1/32

G 1 1 C 16/08

G 0 6 K 19/ 00

J

G 0 6 F 1/ 00

3 3 2 Z

審査請求 未請求 請求項の数3 F D (全 9 頁) 最終頁に続く

(21)出願番号 特願平6-201491

(22)出願日 平成6年(1994)8月3日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都小平市上水本町5丁目20番1号

(72)発明者 庄田 智子

東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内

(74)代理人 弁理士 徳若 光政

最終頁に続く

(54)【発明の名称】 記憶装置

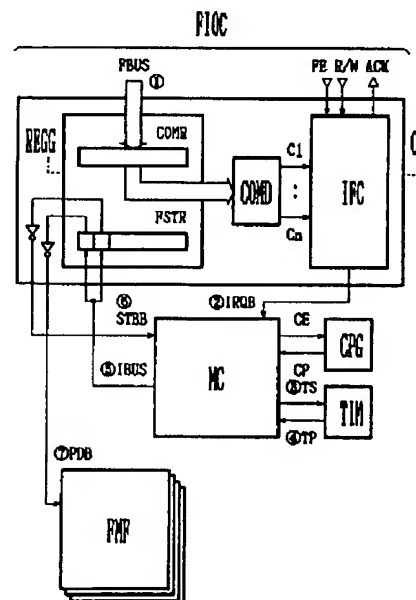
(57)【要約】 (修正有)

【目的】 平均的な消費電力を削減したフラッシュ I/Oカード等の記憶装置を実現して、フラッシュ I/Oカードを含むパーソナルコンピュータ等の平均的な消費電力を削減し、その動作電源となる電池の寿命を長くする。

【構成】 電池動作可能なパーソナルコンピュータのハードディスクインタフェースに結合されるフラッシュ I/Oカード等の記憶手段を、内部信号 PDB がロウレベルとされることで選択的にディープパワーダウンモードとされるフラッシュメモリファイル FMMF により構成し、その制御手段を、内部信号 STBB がロウレベルとされることで選択的にスタンバイモードとなるマイクロコンピュータ MC により構成するとともに、フラッシュ I/Oカードに、所定期間を超えてシステム側からのアクセスがないとき内部信号 PDB 及び STBB をアサートして自律的に低消費電力モードとなる機能を持たせる。

図 3

フラッシュ I/Oカードの制御系統(実施例1)



1

【特許請求の範囲】

【請求項1】 記憶データの書き換えが可能な不揮発性の半導体メモリからなる記憶手段と、上記記憶手段に対する記憶データの書き換え又は読み出し動作を制御する制御手段とを具備し、所定期間を超えて上記記憶手段に対するアクセスがないとき自律的に低消費電力モードとなることを特徴とする記憶装置。

【請求項2】 上記半導体メモリは、ディープパワーダウンモードを有するフラッシュメモリであり、上記制御手段は、スタンバイモードを有するマイクロコンピュータとステータスレジスタを備えるカードコントローラとを含むものであって、上記記憶装置は、上記ステータスレジスタの所定ビットにフラグがセットされ上記フラッシュメモリ及びマイクロコンピュータがそれぞれ上記ディープパワーダウンモード及びスタンバイモードとされることで選択的に上記低消費電力モードとされるものであることを特徴とする請求項1の記憶装置。

【請求項3】 上記記憶装置は、カード形態で独立に構成されかつ電池により動作可能なパーソナルコンピュータのハードディスクインタフェースに結合されるものであって、その動作電源は、上記パーソナルコンピュータから供給されるものであることを特徴とする請求項1又は請求項2の記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は記憶装置に関し、例えば、フラッシュI/Oカードならびにこれを含むパーソナルコンピュータ等に利用して特に有効な技術に関する。

【0002】

【従来の技術】 フラッシュメモリのような不揮発性の半導体メモリからなるメモリファイルをその基本構成要素とし、パーソナルコンピュータ等のハードディスクインタフェースに結合されるフラッシュI/Oカード（フラッシュファイルシステム）がある。フラッシュI/Oカードは、メモリファイルに対するアクセスを制御・統轄するストアプログラム方式のマイクロコンピュータを備える。

【0003】

【発明が解決しようとする課題】 従来のパーソナルコンピュータ等において、フラッシュI/Oカードは、ホストシステムとなるパーソナルコンピュータから動作電源の供給を受け、フラッシュI/Oカードを構成するフラッシュメモリファイル及びマイクロコンピュータ等は、パーソナルコンピュータが電源オン状態にある間、システム側からのアクセスの有無に関係なく定常的に動作状態とされる。

【0004】 一方、フラッシュI/Oカードが結合されるパーソナルコンピュータは、特にそれが電池を動作電源とする場合において低消費電力性を要求され、その単

2

位時間あたりの消費電力により電池の使用可能期間つまり寿命が決定する。また、フラッシュI/Oカードを構成するフラッシュメモリファイルは大規模化・大容量化の一途にあり、マイクロコンピュータは高速化の一途にあって、このことがフラッシュI/Oカードの消費電力を増大させる原因となっている。この結果、フラッシュメモリファイル及びマイクロコンピュータが定常的に動作状態とされる従来のフラッシュI/Oカードでは、フラッシュメモリファイルの大規模化・大容量化ならびにマイクロコンピュータの高速化にともなって消費電力が大きくなり、パーソナルコンピュータの動作電源となる電池の寿命が短くなる。

【0005】 この発明の目的は、その平均的な消費電力の削減を図ったフラッシュI/Oカード等の記憶装置を実現することにある。この発明の他の目的は、フラッシュI/Oカードを含むパーソナルコンピュータ等の平均的な消費電力を削減し、その動作電源となる電池の寿命を長くすることにある。

【0006】 この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【0007】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、電池により動作可能なパーソナルコンピュータのハードディスクインタフェースに結合されるフラッシュI/Oカード等の記憶手段を、ディープパワーダウンモードを有するフラッシュメモリにより構成し、その制御手段を、スタンバイモードを有するマイクロコンピュータにより構成するとともに、フラッシュI/Oカード等に、所定期間を超えてアクセスがないときフラッシュメモリをディープパワーダウンモードとしマイクロコンピュータをスタンバイモードとして自律的に低消費電力モードとなる機能を持たせる。

【0008】

【作用】 上記した手段によれば、フラッシュI/Oカード等をアクセス状況に応じて選択的に低消費電力モードとし、その平均的な消費電力を削減できる。この結果、フラッシュI/Oカードを含むパーソナルコンピュータ等の平均的な消費電力を削減し、その動作電源となる電池の寿命を長くすることができる。

【0009】

【実施例】 図1には、この発明が適用されたフラッシュI/OカードFIO（記憶装置）を含むパーソナルコンピュータの一実施例のシステム構成図が示されている。同図をもとに、まずフラッシュI/Oカードを含むパーソナルコンピュータの構成及び動作の概要について説明する。なお、図1の点線で囲まれたブロックは、パーソナルコンピュータの本体として1個の箱体内に実装され、点線外のブロックは、そのオプションとして対応す

3

るコネクタ等に選択的に装備される。

【0010】図1において、この実施例のパーソナルコンピュータは、ストアプログラム方式の中央処理装置CPUと、この中央処理装置CPUにシステムバスSBUSを介して結合される補助処理装置CCPU、メモリ制御ユニットMCU及びバス制御ユニットBCUを備える。このうち、補助処理装置CCPUは、中央処理装置CPUと同様なストアプログラム方式の処理装置であって、中央処理装置CPUの処理の一部を補助する。また、メモリ制御ユニットMCUは、メモリバスMBUSを介して主記憶装置MMEM及び拡張記憶装置EMEMに結合され、システムバスSBUS及びメモリバスMBUS間のバス制御を行う。なお、主記憶装置MMEM及び拡張記憶装置EMEMは、例えばダイナミック型RAMを基本に構成され、パーソナルコンピュータの記憶階層の中心となる。

【0011】一方、バス制御ユニットBCUは、入出力バスIOBUSを介してリードオンリーメモリROM、ディスプレイ装置アダプタDPYA、キーボード制御部KBDC、フロッピーディスク装置FDD、シリアルポートインタフェースSPIF、パラレルポートインタフェースPPIF及びフラッシュI/Oカード制御部FIOCに結合され、これらの入出力装置とシステムバスSBUSとの間のバス制御を行う。入出力バスIOBUSに結合される入出力装置のうち、リードオンリーメモリROMは、例えばEEPROM（電氣的に消去・書き込み可能な読み出し専用メモリ）を基本に構成され、中央処理装置CPUのステップ制御に必要なプログラム及び固定データ等を格納する。また、ディスプレイ装置アダプタDPYAには、CRT（陰極線管）を中心とするディスプレイ装置DPYが結合され、キーボード制御部KBDC及びフラッシュI/Oカード制御部FIOCには、それぞれキーボードKBD及びフラッシュI/OカードFIOが結合される。さらに、シリアルポートインタフェースSPIFには、図示されない通信制御装置等のシリアル入出力装置が結合され、パラレルポートインタフェースPPIFには図示されないプリンタ等のパラレル入出力装置が結合される。

【0012】この実施例において、パーソナルコンピュータは、所定の電池BATをその動作電源として動作しうるとされる。また、フラッシュI/Oカード制御部FIOCは、パーソナルコンピュータから動作電源の供給を受けるとともに、ハードディスク装置と同一のバスインタフェースとされ、システム側から見てハードディスク装置との互換性を有する。一方、フラッシュI/OカードFIOは、フラッシュメモリのような不揮発性の半導体メモリからなり比較的大きな記憶容量を有するフラッシュメモリファイルFMFと、このフラッシュメモリファイルFMFに対するアクセスを制御・統轄するマイクロコンピュータMCを含む。このうち、フラッ

4

シュメモリファイルFMFつまりフラッシュメモリは、後述するように、対応するフラグつまり内部信号PDB（ここで、それが有効とされるとき選択的にロウレベルとされるいわゆる反転信号等については、その名称の末尾にBを付して表す。以下同様）がアサートされる（ここで、信号が有効レベルに変化されることを“アサートされる”と称し、逆に無効レベルに変化されることを“ネゲートされる”と称する。以下同様）ことで選択的に指定されるディープパワーダウンモードを有する。また、マイクロコンピュータMCは、対応するフラグつまり内部信号STBBがアサートされることで選択的に指定されるスタンバイモードを有するとともに、所定期間を超えてシステム側からのアクセスがないとき上記内部信号DPB及びSTBBを選択的にアサートする機能を有する。これらの結果、フラッシュI/OカードFIOは、所定期間を超えてシステム側からのアクセスがないとき自律的かつ選択的に低消費電力モードとなり、これによってその平均的な消費電力が削減されるものとなる。

【0013】図2には、図1のパーソナルコンピュータに含まれるフラッシュI/OカードFIOの一実施例のブロック図が示されている。また、図3には、図2のフラッシュI/OカードFIOの一実施例の部分的な制御系統図が示され、図4には、そのモード制御手順を説明するための一実施例の処理フロー図が示されている。これらの図をもとに、この実施例のフラッシュI/OカードFIOの具体的な構成、動作及びモード制御手順ならびにその特徴について説明する。

【0014】図2において、フラッシュI/OカードFIOは、ストアプログラム方式のマイクロコンピュータMC（制御手段）と、カード内部バスIBUSを介してマイクロコンピュータMCに結合されるフラッシュメモリファイルFMF（記憶手段）とを含む。カード内部バスIBUSには、さらにカードコントローラCC、プログラムメモリPROM及びランダムアクセスメモリRAMが結合され、マイクロコンピュータMCには、クロック発生部CPG及びタイマー回路TIMが結合される。また、フラッシュI/OカードFIOには、さらにパーソナルコンピュータからフラッシュI/Oカード制御部FIOCを介して動作電源となる電源電圧VCC及び接地電位VSSが供給される。フラッシュメモリファイルFMFには、カードコントローラCCのレジスタ群REGGからパワーダウン信号PDBが供給され、マイクロコンピュータMCには、カードコントローラCCのレジスタ群REGG及びインタフェースコントローラIFCからそれぞれスタンバイ信号STBB及び割り込み要求信号IRQBが供給される。

【0015】ここで、カードコントローラCCは、インタフェースコントローラIFC、レジスタ群REGG及びコマンドデコーダCMDを含む。このうち、インタ

5

フェースコントローラ IFC は、起動制御信号となるファイルイネーブル信号 FE 及びリードライト信号 R/W ならびにデータ転送確認信号 ACK を介してフラッシュ I/O カード制御部 FIOC に結合され、フラッシュ I/O カード制御部 FIOC 及びフラッシュ I/O カード FIO 間のインタフェース制御を行う。また、レジスタ群 REGG は、ファイルアクセスバス FBUS を介してフラッシュ I/O カード制御部 FIOC に結合され、このファイルアクセスバスを介して供給されるコマンドや開始アドレス及び終了アドレス等の制御データをインタフェースコントローラ IFC の指示に従って取り込み、保持する。さらに、コマンドデコーダ COMD は、レジスタ群 REGG のコマンドレジスタ COMR に保持されるコマンドをデコードして、その結果をインタフェースコントローラ IFC に伝達する。インタフェースコントローラ IFC は、コマンドデコーダ COMD のデコード結果を受けてフラッシュ I/O カード FIO の動作モードを判定し、例えば割り込み要求信号 IRQB をアサートして、マイクロコンピュータ MC に対してフラッシュメモリファイル FMF のアクセス開始を指示する。

【0016】この実施例において、レジスタ群 REGG は、ファイルステータスレジスタ FSTR (ステータスレジスタ) を含む。このファイルステータスレジスタ FSTR は、図3に示されるように、マイクロコンピュータ MC から第5の信号経路つまりカード内部バス IBUS を介してアクセスされ、その第1及び第2ビットの出力信号のインバータによる反転信号は、フラグつまり内部信号 PDB 及び STBB として、それぞれ第7及び第6の信号経路を介してフラッシュメモリファイル FMF 及びマイクロコンピュータ MC に供給される。

【0017】次に、ランダムアクセスメモリ RAM は、擬似スタティック型 RAM (PSRAM) 等からなり、フラッシュメモリファイル FMF の記憶領域をハードディスクの記憶領域に対応付けて管理するための物理セクタテーブル PST 及び論理セクタテーブル LST や、各セクタの消去回数を管理しダイナミックに入れ換えるための消去管理テーブル EMT ならびにステータステーブル STT 及びライトデータバッファ WDB 等として用いられる。また、プログラムメモリ PROM は、EEPROM 等からなり、マイクロコンピュータ MC のアクセス制御やセクタ管理等のためのプログラムを格納する。さらに、クロック発生部 CPG は、マイクロコンピュータ MC の同期動作に必要なクロック信号を生成し、タイマー回路 TIM は、マイクロコンピュータ MC の時間管理に供される。マイクロコンピュータ MC は、プログラムメモリ PROM に格納された制御プログラムに従ってフラッシュメモリファイル FMF のアクセス制御を行うとともに、ランダムアクセスメモリ RAM 内の物理セクタテーブル PST、論理セクタテーブル LST 及び消去管理テーブル EMT に従ってフラッシュメモリファイル F

6

MF のセクタ管理を行い、消去回数に応じたセクタ入れ換え処理等を行う。

【0018】この実施例において、フラッシュメモリファイル FMF は、対応するフラグつまり内部信号 PDB がセットつまりアサートされるとき、その電源供給経路を切断して極めて小さな消費電力で動作しうるいわゆるディープパワーダウンモードを有する。また、マイクロコンピュータ MC は、対応するフラグつまり内部信号 STBB がセットつまりアサートされるとき、クロック発生部 CPG に対するクロックイネーブル信号 CE をネゲートしてクロック信号 CP を停止し比較的小さな消費電力で動作しうるいわゆるスタンバイモードを有するとともに、タイマー回路 TIM を用いてシステム側からのアクセス間隔を管理し、所定期間を超えてアクセスがないとき上記ファイルステータスレジスタ FSTR を書き換え、内部信号 PDB 及び STBB を選択的にアサートする機能を有する。これらの結果、フラッシュ I/O カード FIO は、所定期間を超えてシステム側からのアクセスがないとき自律的かつ選択的に低消費電力モードとなり、これによってその平均的な消費電力が削減されるものとなる。

【0019】ところで、システム側つまりフラッシュ I/O カード制御部 FIOC からのフラッシュ I/O カード FIO に対するアクセスは、図3及び図4に示されるように、第1の信号経路つまりファイルアクセスバス FBUS を介してカードコントローラ CC のレジスタ群 REGG のコマンドレジスタ COMR に所定のコマンドを書き込むことによって開始される。コマンドレジスタ COMR に書き込まれたコマンドは、前述のように、カードコントローラ CC のコマンドデコーダ COMD によりデコードされてインタフェースコントローラ IFC に伝達され、これを受けて割り込み要求信号 IRQB がロウレベルにアサートされる。マイクロコンピュータ MC は、割り込み要求信号 IRQB のロウレベルを受けて所定の割り込み処理を行い、これがインタフェースコントローラ IFC からの割り込み要求であることを識別してフラッシュメモリファイル FMF に対するアクセスを開始する。このとき、マイクロコンピュータ MC は、レジスタ群 REGG 内の開始アドレスレジスタ及び終了アドレスレジスタ等の保持内容によってフラッシュメモリファイル FMF のアクセス範囲を判定し、またランダムアクセスメモリ RAM の論理セクタテーブル LST を用いてその物理的地址を判定する。

【0020】次に、フラッシュメモリファイル FMF に対するアクセスが終了すると、マイクロコンピュータ MC は、所定のアクセス終結処理を行うとともに、第3の信号経路を介してタイマー起動信号 TS をアサートし、タイマー回路 TIM を起動する。そして、所定時間 Tpd が経過し、タイマー回路 TIM から第4の信号経路を介してタイマー終了信号 TP がアサートされると、第5

の信号経路つまりカード内部バスIBUSを介してファイルステータスレジスタFSTRを書き換え、内部信号STBB及びPDBをアサートする。これにより、まずマイクロコンピュータMC自体が第6の信号経路を介する内部信号STBBのロウレベルを受けてスタンバイ(STBY)モードとなり、またフラッシュメモリファイルFMFが第7の信号経路を介する内部信号PDBのロウレベルを受けてディープパワーダウン(DPD)モードとなる。この結果、フラッシュI/OカードFIOは低消費電力モードとなり、その消費電力は極めて小さなものとなる。

【0021】一方、フラッシュI/OカードFIOが低消費電力モードにあるときシステム側からのアクセスが再開されると、マイクロコンピュータMCは、割り込み要求信号IRQBのロウレベルを受けてまずファイルステータスレジスタFSTRの書き換えを行い、内部信号STBB及びPDBをネゲートする。これにより、フラッシュメモリファイルFMFは、第7の信号経路を介する内部信号PDBのハイレベルを受けて通常モードとなる。また、マイクロコンピュータMCは、第6の信号経路を介する内部信号STBBのハイレベルを受けて通常モードとなり、フラッシュメモリファイルFMFに対するアクセスを再開する。

【0022】以上のように、この実施例のフラッシュI/OカードFIOは、その記憶手段として、フラッシュメモリからなり内部信号PDBがアサートされることで選択的にディープパワーダウンモードとなるフラッシュメモリファイルFMFを備えとともに、その制御手段として、内部信号STBBがアサートされることで選択的にスタンバイモードとなるマイクロコンピュータMCを備える。また、マイクロコンピュータMCは、タイマー回路TIMとともにシステム側からのアクセス間隔を計時する機能を有し、所定期間を超えてアクセスがないときカードコントローラCCのファイルステータスレジスタFSTRを書き換え、内部信号PDB及びSTBBを選択的にアサートする機能を有する。これにより、フラッシュI/OカードFIOは、所定期間を超えてフラッシュメモリファイルFMFに対するシステム側からのアクセスがないとき自律的かつ選択的に低消費電力モードとなり、その平均的な消費電力が削減されるものとなる。この結果、フラッシュI/Oカードを含むパーソナルコンピュータ等の平均的な消費電力を削減し、その動作電源となる電池の寿命を長くすることができるものである。

【0023】なお、通常モードにおけるマイクロコンピュータMC及びフラッシュメモリファイルFMFの消費電力をそれぞれ P_m 及び P_f とし、カードコントローラCCを含むその他のブロックの消費電力を P_c とすると、フラッシュI/OカードFIOの通常モードにおける全消費電力 P_N は、

$$P_N = P_m + P_f + P_c$$

となる。一方、フラッシュI/OカードFIOの低消費電力モードにおける全消費電力 P_D は、スタンバイモードにおけるマイクロコンピュータMCの消費電力ならびにディープパワーダウンモードにおけるフラッシュメモリファイルFMFの消費電力がカードコントローラCCを含むその他のブロックの消費電力 P_c に比べて無視できる程度に小さいとみなせるとき、

$$P_D \approx P_c$$

となる。したがって、例えば通常モードにおけるマイクロコンピュータMC及びフラッシュメモリファイルFMFの消費電力 P_m 及び P_f をそれぞれ1及び20とし、カードコントローラCCを含むその他のブロックの消費電力 P_c を1とすると、フラッシュI/OカードFIOの低消費電力モードにおける消費電力 P_D の通常モードにおける消費電力 P_N に対する比率は、

$$P_D / P_N = 1 / 22$$

すなわち約0.045つまり4.5%となり、十分に小さくなる。

【0024】以上の実施例により得られる作用効果は次の通りである。すなわち、

(1) 電池により動作可能なパーソナルコンピュータのハードディスクインタフェースに結合されるフラッシュI/Oカード等の記憶手段を、ディープパワーダウンモードを有するフラッシュメモリにより構成し、その制御手段を、スタンバイモードを有するマイクロコンピュータにより構成するとともに、フラッシュI/Oカード等に、所定期間を超えてアクセスがないときフラッシュメモリをディープパワーダウンモードとしマイクロコンピュータをスタンバイモードとして自律的に低消費電力モードとなる機能を持たせることで、フラッシュI/Oカード等をアクセス状況に応じて選択的に低消費電力モードとし、その平均的な消費電力を削減することができるという効果が得られる。

(2) 上記(1)項により、フラッシュI/Oカードを含むパーソナルコンピュータ等の平均的な消費電力を削減できるという効果が得られる。

(3) 上記(2)項により、パーソナルコンピュータ等の動作電源となる電池の寿命を長くすることができるという効果が得られる。

【0025】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図1において、フラッシュI/Oカード制御部FIOCは、ハードディスクインタフェースに結合されることを必須条件とはしない。また、パーソナルコンピュータ本体としての区分やシステム構成及びバス形態等は、この実施例による制約を受けない。

【0026】図2において、フラッシュメモリファイル

FMFは、例えばEEPROMによっても構成できるし、プログラムメモリPROM及びランダムアクセスメモリRAMも、他の各種半導体メモリによって構成することができる。また、この実施例では、マイクロコンピュータMC及びフラッシュメモリファイルFMFをスタンバイモード又はディープパワーダウンモードとすることによってフラッシュI/OカードFIOの低消費電力モードを実現しているが、あわせてカードコントローラCC、プログラムメモリPROM及びランダムアクセスメモリRAMの消費電力を同様な形態で選択的に小さくしてもよい。フラッシュI/OカードFIOのブロック構成は、この実施例による制約を受けないし、そのバス形態や各内部信号の論理レベル等は、種々の実施形態を採りうる。

【0027】システム側からのアクセス間隔の計時は、図5及び図6に示されるように、例えばタイマー回路TIMをカードコントローラCC内に設け、インタフェースコントローラIFCによって行うこともできる。この場合、第8の信号経路つまりファイルアクセス終了信号FAEを設け、マイクロコンピュータMCからカードコントローラCCのインタフェースコントローラIFCに対してアクセス終了を知らせる必要がある。また、インタフェースコントローラIFCは、第5の信号経路FSを介してファイルステータスレジスタFSTRの書き換えを直接行うことができる。さらに、システム側からのアクセス間隔の計時は、アクセス開始時点でタイマー回路TIMを起動して行ってもよいし、モード制御手順に関する機能分担や信号経路の構成等は、種々の実施形態が考えられよう。

【0028】以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるフラッシュI/Oカードならびにこれを含むパーソナルコンピュータに適用した場合について説明したが、それに限定されるものではなく、例えば、カード形態を採らない各種の半導体メモリファイルやこのようなメモリファイルを含む各種のデジタルシステムにも適用できる。本発明は、少なくとも選択的にアクセスされかつ低消費電力性を必要とされる記憶装置ならびにこのような記憶装置を含むシステムに広く適用できる。

【0029】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、電池により動作可能なパーソナルコンピュータのハードディスクインタフェースに結合されるフラッシュI/Oカード等の記憶手段を、ディープパワーダウンモードを有するフラッシュメモリにより構成し、その制御手段を、スタンバイモードを有するマイクロコンピュータにより構成するとともに、フラッシュI/Oカード等に、所定期間を超えてアクセスがないときフラッシュメモリをディープパワーダウンモー

ドとしマイクロコンピュータをスタンバイモードとして自律的に低消費電力モードとなる機能を持たせることで、フラッシュI/Oカード等をアクセス状況に応じて選択的に低消費電力モードとし、その平均的な消費電力を削減することができる。この結果、フラッシュI/Oカードを含むパーソナルコンピュータ等の平均的な消費電力を削減し、その動作電源となる電池の寿命を長くすることができる。

【図面の簡単な説明】

10 【図1】この発明が適用されたフラッシュI/Oカードを含むパーソナルコンピュータの一実施例を示すシステム構成図である。

【図2】図1のパーソナルコンピュータに含まれるフラッシュI/Oカードの一実施例を示すブロック図である。

【図3】図2のフラッシュI/Oカードの一実施例を示す部分的な制御系統図である。

【図4】図2のフラッシュI/Oカードのモード制御手順の一実施例を示す処理フロー図である。

20 【図5】この発明が適用されたフラッシュI/Oカードの第2の実施例を示す部分的な制御系統図である。

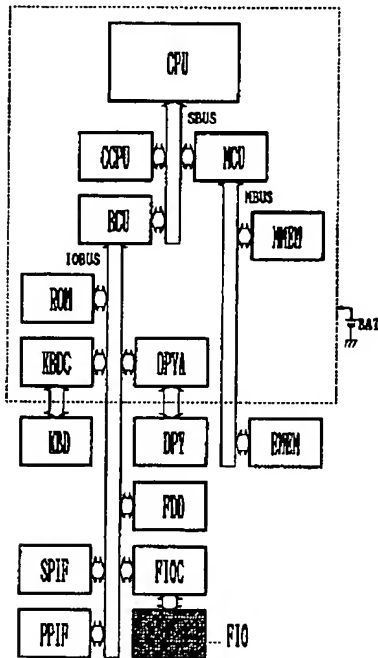
【図6】図5のフラッシュI/Oカードのモード制御手順の一実施例を示す処理フロー図である。

【符号の説明】

CPU・・・中央処理装置、SBUS・・・システムバス、CCPU・・・補助処理装置、MCU・・・メモリ制御ユニット、MBUS・・・メモリバス、MMEM・・・主記憶装置、EMEM・・・拡張記憶装置、BCU・・・バス制御ユニット、IOBUS・・・入出力バス、ROM・・・リードオンリーメモリ、DPYA・・・ディスプレイ装置アダプタ、DPY・・・ディスプレイ装置、KBDC・・・キーボード制御部、KBD・・・キーボード、FDD・・・フロッピディスク装置、SPIF・・・シリアルポートインタフェース、PPIF・・・パラレルポートインタフェース、FIOC・・・フラッシュI/Oカード制御部、FIO・・・フラッシュI/Oカード、BAT・・・電池、CC・・・カードコントローラ、IFC・・・インタフェースコントローラ、REGG・・・レジスタ群、COMR・・・コマンドレジスタ、FSTR・・・ファイルステータスレジスタ、COMD・・・コマンドデコード、IBUS・・・カード内部バス、MC・・・マイクロコンピュータ、CPG・・・クロック発生部、TIM・・・タイマー回路、PROM・・・プログラムROM(リードオンリーメモリ)、FMF・・・フラッシュメモリファイル、RAM・・・ランダムアクセスメモリ、PST・・・物理セクタテーブル、LST・・・論理セクタテーブル、EMT・・・消去管理テーブル、STT・・・ステータステーブル、WDB・・・ライトデータバッファ、FBUS・・・ファイルアクセスバス。

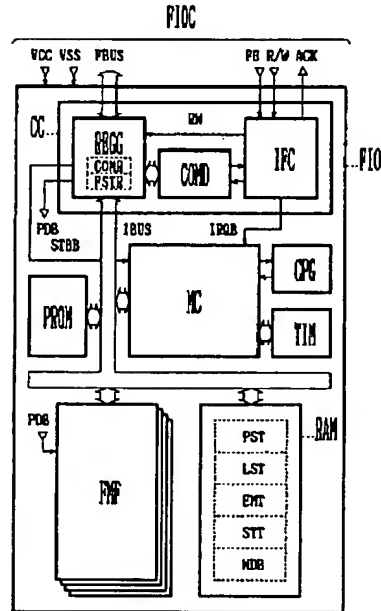
【図1】

図1 パーソナルコンピュータのシステム構成



【図2】

図2 フラッシュI/Oカードのブロック構成



【図4】

【図3】

図3 フラッシュI/Oカードの制御系統 (実施例1)

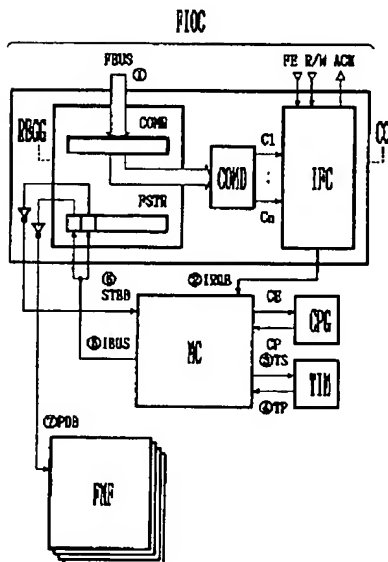
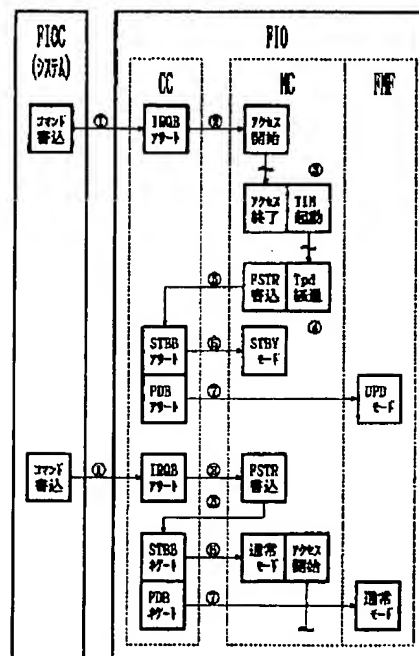
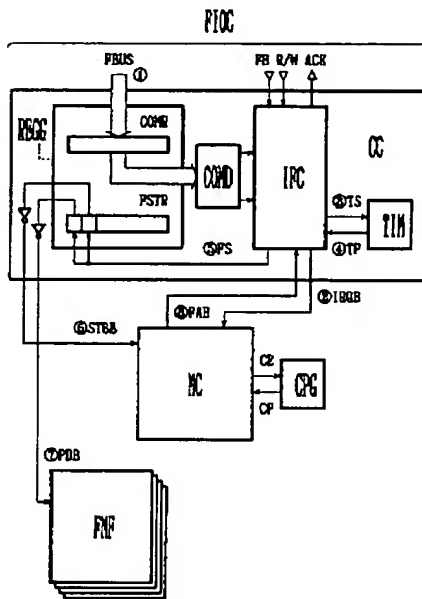


図4 フラッシュI/Oカードのモード制御手順 (実施例1)



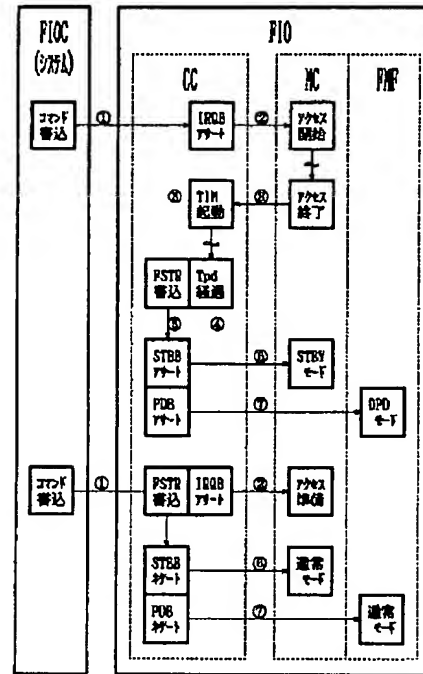
【図5】

図5 フラッシュI/Oカードの制御系統 (実施例2)



【図6】

図6 フラッシュI/Oカードのモード制御手順 (実施例2)



フロントページの続き

(51)Int. Cl.⁶
H01L 27/115

識別記号 庁内整理番号

F I

技術表示箇所

G11C 17/00 309 D
H01L 27/10 434

- (72)発明者 吉田 啓彦
東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内
- (72)発明者 大久保 京夫
東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内
- (72)発明者 岸 正道
東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内
- (72)発明者 門脇 茂
東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内

- (72)発明者 嘉瀬 克元
東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内
- (72)発明者 菊池 隆
東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内
- (72)発明者 福田 宏
東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内
- (72)発明者 片山 国広
神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

Best Available Copy

(72)発明者 管野 利夫
東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内